

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237468

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

H01L 21/28
H01L 21/02
H01L 21/3063
H01L 21/316

(21)Application number : 2001-034528

(22)Date of filing : 09.02.2001

(71)Applicant : FUJIKURA LTD

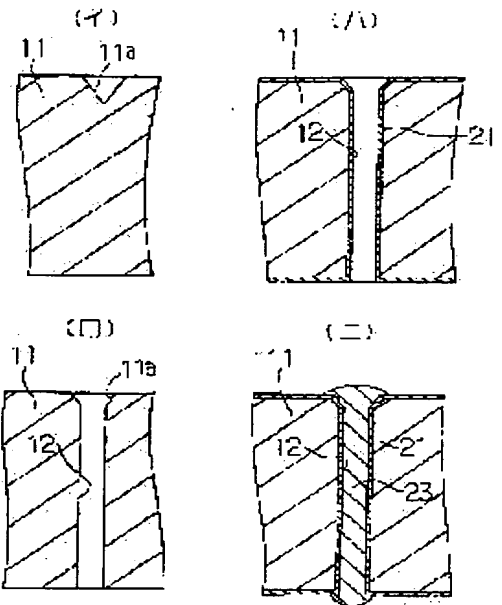
(72)Inventor : TAKIZAWA ISAO
SATOU AKINOBU
SUEMASU TATSUO
ITOI KAZUHISA

(54) METHOD OF FORMING ELECTRODE PASSED THROUGH SUBSTRATE, AND SUBSTRATE HAVING THROUGH ELECTRODE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a through electrode passed through a silicon substrate and having a high aspect ratio.

SOLUTION: A through hole 12 having a high aspect ratio is formed by a photo-excited electrolytic polishing process in a silicon substrate 11. The inner wall of the through hole 12 is subjected to oxidation to form an oxide film 21 as an insulating layer. Then a metal 23 is filled into the through hole 12 by a melted metal refilling process to form a through electrode (23). The through electrode 12 having a high aspect ratio can be easily formed in the substrate 11, and thus there can be easily achieved a semiconductor package having, e.g. stacked silicon IC chips.



LEGAL STATUS

[Date of request for examination]	13.07.2001
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3599325
[Date of registration]	24.09.2004
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-237468
(P2002-237468A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	21/28	H 0 1 L	E 4 M 1 0 4
	21/02		B 5 F 0 4 3
	21/3063		S 5 F 0 5 8
	21/316		L

審査請求 有 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2001-34528 (P2001-34528)

(22) 出願日 平成13年2月9日 (2001.2.9)

(71) 出願人 000005186

株式会社フジクラ

東京都江東区木場1丁目5番1号

(72) 発明者 滝沢 功

東京都江東区木場1-5-1 株式会社フ
ジクラ内

(72) 発明者 佐藤 倬暢

東京都江東区木場1-5-1 株式会社フ
ジクラ内

(74) 代理人 100090549

弁理士 加川 征彦

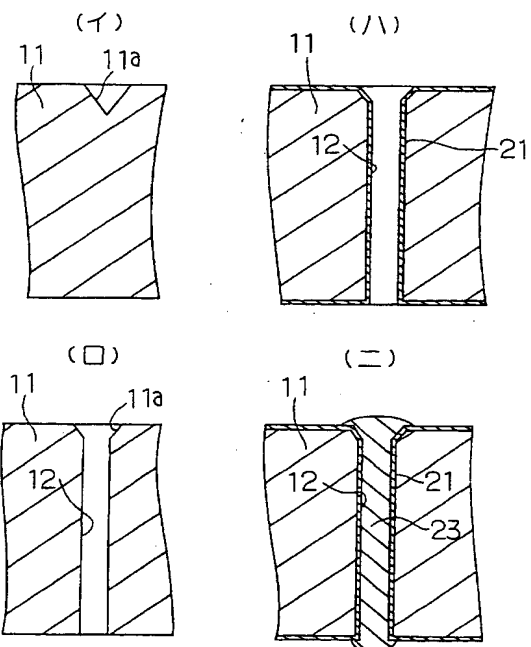
最終頁に続く

(54) 【発明の名称】 基板の貫通電極形成方法および貫通電極を有する基板

(57) 【要約】

【課題】 シリコン基板に高アスペクト比の貫通電極を形成する。

【解決手段】 光励起電解研磨法によりシリコン基板11に高アスペクト比の貫通孔12を形成する。この貫通孔12の内壁を酸化処理して絶縁層としての酸化膜21を形成する。次いで、貫通孔12に熔融金属埋め戻し法により金属23を充填して、貫通電極(23)とする。シリコン基板11に高アスペクト比の貫通電極12を容易に形成でき、例えばシリコンICチップを積層した高密度実装の半導体パッケージを実現すること等が容易になる。



【特許請求の範囲】

【請求項1】 シリコン基板等の基板に貫通電極を形成する貫通電極形成方法であって、
光励起電解研磨法により、基板に高アスペクト比の貫通孔を形成し、この貫通孔の内壁を酸化処理して絶縁層としての酸化膜を形成し、次いで、前記貫通孔に熔融金属埋め戻し法により金属を充填することを特徴とする基板の貫通電極形成方法。

【請求項2】 貫通孔内壁に絶縁層としての酸化膜を形成するに際して、貫通孔内壁に形成した酸化膜を一旦除去し、その後再び貫通孔内壁を酸化処理して酸化膜を形成する工程を少なくとも一回有することを特徴とする請求項1記載の基板の貫通電極形成方法。

【請求項3】 貫通孔内壁に絶縁層としての酸化膜を形成するに際して、貫通孔内壁に高濃度の不純物拡散を行って、酸化膜の外側に不純物拡散層を形成することを特徴とする請求項1記載の基板の貫通電極形成方法。

【請求項4】 貫通電極を有するシリコン等の基板であって、
前記貫通電極は、光励起電解研磨法により形成され、内壁に酸化膜を有する貫通孔と、前記貫通孔に充填された金属よりなり、
前記貫通電極は前記基板内に少なくとも1カ所形成されていることを特徴とする貫通電極を有する基板。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】 この発明は、シリコン基板等の基板に貫通電極を形成する貫通電極形成方法と、当該方法により形成された貫通電極を少なくとも1ヶ所有する基板、および当該基板を用いたデバイスに関し、例えば、シリコンICチップを積層して高密度実装する際のシリコン基板に貫通電極を形成する場合のように、高アスペクト比の貫通電極を必要とする場合に好適に適用できる基板の貫通電極形成方法と、貫通電極を有するシリコン等の基板、および当該基板をベースにした電子デバイスや光デバイスなどの各種デバイスに関する。

【0002】

【従来の技術】 例えば、シリコン基板に表裏を貫通する貫通電極を形成する方法としては、異方性エッチングを行なった後、酸化膜を形成し、半田で導通を取る方法が提案されている。この場合、図11に示すように、異方性エッチングでシリコン基板1に形成した貫通孔2は、基板厚さに対する開口部の面積が大きくなるものとなる。3は酸化膜、4は半田を示す。また、シリコン基板に貫通電極を形成する、ICP-RIE (Inductively Coupled Plasma - Reactive Ion Etching) 法を用いて貫通孔を形成し、貫通孔内壁を金属メッキして貫通電極を形成する方法も提案されている。

【0003】 一方、シリコン基板に高アスペクト比（孔深さに対する開口部面積）の貫通孔を形成する技術とし

て、光励起電解研磨法（J. Electrochem. Soc., Vol. 137, No. 2, pp653-659参照）が知られている。この光励起電解研磨法の詳細は後述する。

【0004】

【発明が解決しようとする課題】 上記従来の異方性エッチング・半田の方法では、エッチング形状に制約があり、シリコン基板1の厚さに対する貫通孔の開口部の面積が大きくなるので、高アスペクト比の貫通電極を形成することはできず、シリコンICチップの高密度実装を行なおうとする場合における、シリコン基板への貫通電極の形成には向かない。

【0005】 また、ICP-RIE・金属メッキの方法では、反応ガスやメッキ液が貫通孔内の奥深くまで進入できないので、やはり、高アスペクト比の貫通電極を形成することは困難である。

【0006】 また、光励起電解研磨法により形成した貫通孔の形状では、サイドブランチ等が生じるため平坦な壁面が得られない。

【0007】 本発明は上記事情に鑑みてなされたもので、高アスペクト比の貫通電極を形成することが可能であり、また、貫通電極が形成される貫通孔の内壁を平坦にできる基板の貫通電極形成方法および貫通電極を有する基板を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記課題を解決する本発明は、シリコン基板等の基板に貫通電極を形成する貫通電極形成方法であって、基板に高アスペクト比の貫通孔を形成し、この貫通孔の内壁を酸化処理して絶縁層としての酸化膜を形成し、次いで、前記貫通孔に熔融金属埋め戻し法により金属を充填することを特徴とする。

【0009】 請求項2は、請求項1の基板の貫通電極形成方法において、貫通孔内壁に絶縁層としての酸化膜を形成するに際して、貫通孔内壁に形成した酸化膜を一旦除去し、その後再び貫通孔内壁を酸化処理して酸化膜を形成することを特徴とする。

【0010】 請求項3は、請求項1の基板の貫通電極形成方法において、貫通孔内壁に絶縁層としての酸化膜を形成するに際して、貫通孔内壁に高濃度の不純物拡散を行って、酸化膜の外側に不純物拡散層を形成することを特徴とする。

【0011】 請求項4は、貫通電極を有するシリコン等の基板であって、前記貫通電極は、光励起電解研磨法により形成され、内壁に酸化膜を有する貫通孔と、前記貫通孔に充填された金属よりなり、前記貫通電極は前記基板内に少なくとも1カ所形成されている貫通電極を有する基板を特徴とする。

【0012】

【発明の実施の形態】 以下、本発明の実施の形態を図1～図10を参照して説明する。この実施形態は、例えば、シリコンICチップを積層して高密度実装する際の

シリコン基板に貫通電極を形成する場合を想定している。

①まず、図1（イ）に示すように、シリコン基板11に、KOH等のエッチング液を用いた異方性エッチングによりV形凹所（この例は四角錐状の凹所）11aを形成する。

【0013】②次いで、前記シリコン基板11のV形凹所11aの位置に、光励起電解研磨法により図1（ロ）のように貫通孔12を形成する。光励起電解研磨法による貫通孔12の形成の原理を図2に示した光励起電解研磨装置10および図3を参照して説明する。前記のように表面11bに予めKOHによりV形凹所11aを形成したn型のシリコン基板11を、電解槽18内のHF溶液からなる電解液13に浸漬し、このシリコン基板11の前記V形凹所11aに対応する裏面11cに赤外線フィルタ17を通して光（光源を14で示す）を照射しつつ、陽極とした前記シリコン基板11と陰極電極15との間に電流（直流電源を16で示す）を流すと、シリコン基板11の前記V形凹所位置が選択的にエッチングされ、このV形凹所位置に貫通孔12が形成される。選択的にエッチングされる原理を説明すると、図3に示すように、n型のシリコン基板2の裏面に光14aを照射すると、その光照射による励起でシリコン基板2の裏面で少数キャリア（正孔）が生成され、その少数キャリアが表面側の四角錐状のV形凹所11aの先端に集中することにより、V形凹所11aの先端のみが電気化学的にエッチングされ、そのエッチングが進行して貫通孔が形成される。この光励起電解研磨法による貫通孔12の形成の具体的な実施例としては、例えば、50℃、2.5wt%のHFエッチング液中にて、光の照度6mW/cm²、印加電流0.1mA、印加時間24時間で研磨を行い、例えば直径15μm、深さ400μmの貫通孔を形成する。

【0014】次いで、前記貫通孔12の内壁を酸化して、図1（ハ）に示すように、絶縁層としての酸化膜21を形成する。酸化膜21の形成は、例えば熱酸化法により形成することができる。熱酸化の具体的な実施例としては、例えば、1100℃、2000cc/min.のスチームを流したウェット雰囲気中に3時間曝して、酸化膜21を形成する。

【0015】なお、絶縁層として酸化膜21を形成する場合、光励起電解研磨法で設けた貫通孔の内壁はサイドブランチ等が生じて平坦な内壁面が得られないので、一旦形成した酸化膜21を除去し、再度酸化して酸化膜を形成することが望ましい。これにより、貫通孔12の内壁面を平坦化でき、良好な貫通電極を形成できる。なお、酸化膜除去は、BOE（バッファードフッ酸）等により貫通孔12内の酸化膜を選択的にエッチングすることで行うことができる。また、場合によっては、前記酸化膜除去と酸化膜再形成の工程を複数回繰り返すと、貫

通孔12の内壁面を一層平坦化することができる。

【0016】また、酸化膜を形成する際に、高濃度の不純物拡散を行い、それによって形成される層（不純物拡散層）をシールド層として用いることができる。図4に不純物拡散により形成した不純物拡散層を22で示す。シールド層の形成により、ノイズを抑制できる。拡散させる不純物としては、例えば、n型シリコン基板の場合、ボロン等のp型層を形成する物質を拡散させるとよい。また、不純物拡散は例えば熱拡散法により行なうことができる。この熱拡散法によれば、不純物拡散層22の上の絶縁層（酸化膜21）の形成も同時に行なうことができるので、能率的である。熱拡散による不純物拡散の具体的な実施例としては、例えばn型シリコン基板にボロンを拡散する場合、固相ないしは気相の不純源を用い、950℃、1時間、窒素雰囲気中でボロンガラスをデポジションした後、1100℃、ウェット酸化雰囲気、3時間ドライブインを行うと、例えば、2μm程度の高濃度P++層（不純物拡散層22）が形成される。

【0017】次いで、熔融金属埋め戻し法により、図1（ニ）に示すように貫通孔12内に金属23を充填する。熔融金属埋め戻し法とは、被加工対象となるシリコン基板（ワーク）に形成された微細孔などの微細空間に金属を充填する方法であって、まず、金属を充填しようとするワークの雰囲気圧を減圧し、次いで減圧状態を保ったまま、前記ワークを熔融金属に挿入し、次いで前記熔融金属の雰囲気圧を加圧して、金属挿入前後における雰囲気圧差により前記空間に熔融金属を充填し、次いでワークを熔融金属槽から引き上げて冷やすことを特徴とする方法である。ここで、充填する金属としては、インジウム（In）、スズ（Sn）、あるいは金－錫の共晶半田など比較的融点が低く、蒸気圧の低い金属を用いるとよいが、特にそれらに限定されない。この熔融金属埋め戻しの具体的な実施例としては、例えば図5のような熔融金属充填装置30を使用して、例えば10⁻³Pa（パスカル）程度の減圧雰囲気中で、貫通孔12をあけたシリコン基板11をワークとして、例えば300℃の熔融せずに浸漬し、その後、大気圧下に雰囲気を戻すことで高アスペクト比の貫通孔12内に錫を充填させる。

【0018】前記熔融金属充填装置30は、ヒータ44付きの熔融金属槽43を配置した真空チャンバー31と、これにシャッター35で開閉可能な開口部36で連通するパuffa用真空チャンバー37とを持ち、シリコン基板11を把持するワーク固定用アーム47を蓋50に取り付けている。両チャンバー31、37は、真空ポンプ装置34に吸引管33または真空粗引き用吸引管38を介して接続され、また、図示略の窒素ボンベに窒素導入管39、40を介して接続されている。

【0019】上記の金属充填装置30でシリコン基板11の貫通孔12に金属を充填する作業手順を説明すると、蓋50を閉じワーク固定用アーム47で把持したシ

リコン基板 11 をバッファ用真空チャンバー 37 内に位置させた状態で、バッファ用真空チャンバー 37 内部を真空ポンプ装置 34 により真空粗引きする。次いで、シャッター 35 を開く（なお、真空チャンバー 31 は先に減圧しておく）。次いで、真空ポンプ装置 34 で、真空チャンバー 11 およびバッファ用真空チャンバー 17 の内部を真空吸引し、真空圧 $1.0 \times 10^{-2} \sim 1.0 \times 10^{-3}$ Pa 程度まで減圧する。次いで、ヒータ 44 で加熱して熔融金属槽 43 内の金属を熔融させ、熔融金属 23 内にシリコン基板 11 を挿入する。シリコン基板 11 が熔融金属 23 と同じ温度に達した後、真空チャンバー 11 およびバッファ用真空チャンバー 17 内に窒素ボンベからの窒素を導入して、内部を $2 \sim 5 \times 10^5$ Pa ($2 \sim 5$ kgf/cm²) 程度まで加圧する。この加圧により、熔融金属 23 が高アスペクト比の貫通孔 12 内に充填される。その後、シリコン基板 11 を熔融金属槽 43 から引き上げ、真空チャンバー 31 の外に取り出して、室温にて空冷する。これにより、シリコン基板 11 の貫通孔 12 への金属充填作業が終了する。

【0020】なお、貫通孔 12 の内壁面に絶縁層（酸化膜）を形成する方法としては、前述の熱酸化法に限らず、例えば SiO₂ 系皮膜形成用塗布液等の液相により、低温条件下で形成することも考えられる。この方法は、既にシリコン基板 11 上に回路等が形成されている場合、それらに熱による影響を及ぼさないの、有利になる。

【0021】本発明は、シリコン IC チップの積層高密度実装（3 次元実装）に適用して好適である。図 7 は、シリコン IC チップ（シリコン基板）の積層体を示す横断面図である。図中 71 は、光励起電解研磨法により 2 箇所の貫通電極 72 が形成されたシリコン IC チップであり、該シリコン IC チップ 71 は、ベース基板 73 上に、上下の位置を合わせて 3 枚積層されている。シリコン IC チップ 71 は、例えば、同一ウエハから切り出された同一回路パターンを有し、ウエハ表面から見た場合において、各チップ内の同一位置に貫通電極 72 と回路パターン（図示せず）が形成され、これらの貫通電極 72 は、上下端を合わせて接続されている。すなわち、電極下端に設けられた半田バンプ 74 と、相手側チップ上の貫通電極上端が接続され、これらチップの貫通電極 72 は、シリコン製ベース基板 73 に形成された貫通電極 72 と位置合わせ接続される。この結果、ベース基板とシリコン IC チップを貫通する共通電極が形成され、該共通電極の下端の半田ボール 70 は、図示しないベース基板の配線回路と接続される。ただし、敢えて貫通電極の上下位置を揃えないような設計をする場合には、一方のチップ下部の半田バンプを、他方のチップ上部の配線パターン（貫通電極と導通する他方のチップ上に形成された電極層）と接続する事も可能である。以上のように、高アスペクト比の貫通電極が形成された何枚かの IC チップを任

意位置に位置決めして重ね合わせ接続することにより、複数層に積み上げられ実装密度の向上した 3 次元 IC デバイスを作ることが可能である。なお、貫通電極の数は 2 本には限定されず、これは他の実施例においても同様である。

【0022】図 8 は、本発明の他の実施例であり、インターポーザを用いた IC チップのチップサイズ実装を示す。図中 81 は、光励起電解研磨法により形成された 2 ヶ所の貫通電極 82 を有するシリコン製のインターポーザ（シリコン基板）あり、該インターポーザ上には、例えばフェースダウンされた IC チップ 83 が搭載されている。IC チップ表面の電極 84 は、インターポーザ表面の導電層 85 を介して貫通電極 82 へ接続され、該インターポーザ下面においては、貫通電極 82 下端に形成された半田ボール 86 が、マザーボード（ベース基板）80 上の配線パターンと接続されている。従来、インターポーザを用いたチップ実装では、マザーボードとの接続に制約が多く、配線密度にも限界があったが、本実施例では、高アスペクト比の貫通電極を複数形成することにより、インターポーザの配線パターン設計の制約が少なくなり、実装構造（あるいはパッケージ構造）を簡略化することができる。さらに、インターポーザの素材としてシリコンを用いているため、IC チップと熱膨張係数の整合性が良好になり、他のセラミック製のものに比較して、マザーボードへ実装する際にチップが受ける熱応力歪みが少なく、また、シリコンの熱伝達効率が比較的優れているため、チップの発生熱を逃がし易いという利点が得られる。さらに、一般に普及しているシリコン精密加工技術が使えるため表面配線パターンの精密化が可能という利点も得られる。

【0023】図 9 (A) は、本発明の他の実施例であり、貫通電極を有するイメージセンサを示す。図中、91 はイメージセンサチップ 90 内の光電素子エリアであり、92 は光励起電解研磨法によりシリコン基板 93 に形成された高アスペクト比の貫通電極である。該貫通電極 92 は、イメージセンサの能動領域（光電変換素子が形成された光電素子エリア）91 の外側でチップ端部に形成され、その上端がチップ表面の電極層を介して能動領域 91 へ接続されている。また、下端は半田ボール 94 等を介して図示しないマザーボード表面の配線パターンと接続されている。

【0024】図 9 (B) は、ワイヤ接続方式のイメージセンサを示す。本図では、イメージセンサはチップの素子エリアと同一面に、該素子エリアに導通する比較的面积の大きなワイヤボンダッド 95 を形成し、ボンディングワイヤ 96 により外部のリードフレーム等と接続している。また、金線（ワイヤ）接続時に発生する熱等の影響を軽減するため、ワイヤボンダッドとイメージエリアは有る程度離隔する必要がある、以上の理由から、チップ表面に占めるイメージエリアの面積には制約があ

る。

【0025】これに対して、本発明では、高アスペクト比の貫通電極上端が、導電層97を介して光電素子エリア91と接続されており、貫通電極下端の半田ボール94により外部と接続されるから、イメージエリアと同一面へのワイヤボンディングパッドが不要となる。従って、イメージセンサのチップ面積に占める素子エリアを大きくすることができるから、イメージセンサを小型化、あるいは限られた大きさのチップ内に広い面積の素子エリアを確保することができる。また、ワイヤボンディングが不要であるから、ベース基板への表面実装が容易となりイメージチップ実装基板の小型と薄型化、並びに製造コストの削減を計ることができる。

【0026】図10は、本発明の他の実施例であり、高アスペクト比の貫通電極が形成された光回路素子（光トランスマッタ）の横断面図を示す。図中100は、光励起電解研磨法により形成された4ヶ所の貫通電極101A、101B、101C（他の1ヶ所は図示せず）を有する精密加工されたシリコン製のプラットフォーム（シリコン基板）、101は、光ファイバ106を位置決め固定するV溝、102は面実装型LD（レーザダイオード）103の一方の電極面が接続される頂面が導電層102Aをなす断面台形状の突部、104はモニタ用PD（ホトダイオード）105の片側電極面に接続される凹底部が導電層104Aをなす逆台形状の凹部である。該突部102と該凹部104の下部には、導電層102A、導電層104Aと導通する貫通電極101Aと101Bが形成され、これら貫通電極101A、101Bの下端部は半田パンパ（パッド）を形成して、図示せぬ外部回路と接続される。一方、他の2ヶ所の貫通電極101C（1ヶ所は図示せず）は、プラットフォーム表面100A上の2ヶ所の電極パッド110（1ヶ所は図示せず）に接続され、これら電極パッドから導出する2本のボンディングワイヤ（金線）109A、109BがLD103、PD105の他の片側電極面に接続される。更に具体的には、金線109AはLD103上の片側電極に直接ボンディングされ、金線109Bは素子電極に直接接続されるのではなく、プラットフォーム上にメッキされた導電層104Aの延出部と接続される。プラットフォーム100の下部では、これら貫通電極の下端が半田ボール111などを介して実装基板に表面実装される。

【0027】次に、これら光デバイスの並び方向は、光ファイバ106の軸心107と一致するように光軸が合わされており、LD103の出射光が光ファイバへ入射し、PD105がLD出力をモニタする。この実施例によれば、光素子下部の各導電層102A、104Aが貫通電極101A、101Bを介して外部回路と導通しているために、プラットフォーム表面上の配線パターンが簡略化される。また、ワイヤ（金線）ボンディングは、プラットフォーム内の電極パッド110から光素子間だけ

であるから、光素子と外部リードフレームを接続するのに比較してワイヤ長が短くなり接続が容易となる。従って、光デバイス全体が小型化するのみならず、接続工数を経らすことができるため製品コストを低下させることができる利点がある。なお、上記プラットフォームの形状を変更して、光ファイバからの外部入射光を受光用PDで受けるような構成とすれば、光レシーバを構成することができる。また、光ファイバを2本（V溝を2本）として、プラットフォームを加工して同一プラットフォーム上に、光トランスマッタと光レシーバを作り付けられれば、光トランシーバが構成できる。

【0028】以上説明したように、本発明は、高アスペクト比の貫通電極を各種素子に形成することができ、また、汎用的なシリコン精密加工技術の利用が可能であるから、各種素子、デバイスの精密化、小型化、ならびに実装密度の向上を計ることができる。また、煩雑でコスト高となるワイヤボンダ等の工程を省略できるから、製品コストを低下させることも可能となる。なお、本発明はシリコン基板に貫通電極を形成する場合が主であるが、シリコン以外の素材による基板に貫通電極を形成することも考えられる。

【0029】

【発明の効果】本発明によれば、例えば光励起電解研磨法により基板に高アスペクト比の貫通孔を形成し、この貫通孔の内壁を酸化処理して絶縁層としての酸化膜を形成し、次いで、前記貫通孔に熔融金属埋め戻し法により金属を充填して、貫通電極を形成するので、高アスペクト比の貫通電極を容易に得ることができる。これにより、例えばシリコンICチップを積層した高密度実装の半導体パッケージや光デバイスを実現すること等が容易になる。

【0030】請求項2のように、貫通孔内壁に形成した酸化膜を一旦除去した後、再酸化して酸化膜を形成すれば、貫通孔内壁を平坦化することができ、良好な貫通電極を形成できる。

【0031】請求項3のように、貫通孔内壁に高濃度の不純物拡散を行って、酸化膜の外側に不純物拡散層を形成すれば、この不純物拡散層をシールド層として利用でき、ノイズの抑制に有効である。

【図面の簡単な説明】

【図1】本発明の一実施形態の基板の貫通電極形成方法を工程に分けて説明する模式図であり、（イ）はシリコン基板にV形凹所を形成した段階、（ロ）は光励起電解研磨法で貫通孔をあけた段階、（ハ）は貫通孔内壁に酸化膜を形成した段階、（ニ）は貫通孔に金属を充填して貫通電極を形成した段階を示す。

【図2】本発明実施形態の貫通電極形成方法において、貫通孔の形成に用いる光励起電解研磨装置の模式図である。

【図3】上記の光励起電解研磨法で、V形凹所に選択的

なエッチングが行なわれる原理を説明する図である。

【図 4】図 1 (ハ) の酸化膜の形成に際して、不純物拡散を行なってシールド層（不純物拡散）を形成した状態を示す模式図である。

【図 5】本発明実施形態の貫通電極形成方法において、貫通孔への金属充填に用いる金属充填装置の要部の一部切り欠き正面図である。

【図 6】上述の貫通電極形成方法で実際にシリコン基板に貫通電極を形成した実施例を示すもので、シリコン基板の貫通電極部分の断面の顕微鏡写真のスケッチである。

【図 7】シリコン IC チップ（シリコン基板）の積層体の横断面図である。

【図 8】本発明の他の実施例を示すもので、インターポザを用いた IC チップのチップサイズ実装を示す図である。

【図 9】(A) は本発明のさらに他の実施例を示すもので、貫通電極を有するイメージセンサの断面図、(B) はワイヤ接続方式のイメージセンサを示す断面図である。

【図 10】本発明のさらに他の実施例を示すもので、高アスペクト比の貫通電極が形成された光回路素子（光トランスマッタ）の横断面図である。

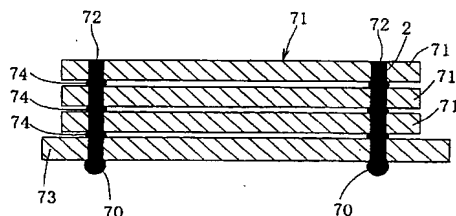
【図 11】従来の異方性エッチング・半田の方法でシリコン基板に貫通電極の形成した場合における貫通電極部分の模式的な断面図である。

【符号の説明】

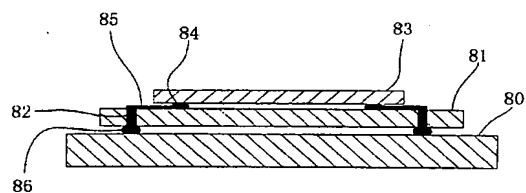
- 10 光励起電解研磨装置
- 11 シリコン基板
- 11a V形凹所
- 11b シリコン基板の表面
- 11c シリコン基板の裏面
- 12 貫通孔
- 13 電解液
- 14 光源
- 15 陰極電極
- 21 酸化膜
- 22 不純物拡散層（シールド層）
- 23 充填金属（熔融金属も同じ符号で示す）
- 30 金属充填装置

- 31 真空チャンバー
- 37 バッファ用真空チャンバー
- 34 真空吸引装置
- 43 熔融金属槽
- 44 ヒータ
- 70 半田ボール
- 71 シリコン IC チップ
- 72 貫通電極
- 73 ベース基板
- 74 半田パンパ
- 80 マザーボード（ベース基板）
- 81 シリコン製のインターポザ（シリコン基板）
- 82 貫通電極
- 83 IC チップ
- 84 電極
- 85 導電層
- 86 半田ボール
- 90 イメージセンサチップ
- 91 光電素子エリア（イメージセンサの能動領域）
- 92 貫通電極
- 93 シリコン基板
- 94 半田ボール
- 97 導電層
- 100 シリコン製のプラットフォーム（シリコン基板）
- 101A、101B、101C 貫通電極
- 101 V溝
- 101A、101B 貫通電極
- 101C 貫通電極
- 102 突部
- 102A 導電層
- 103 面実装型 LD（レーザーダイオード）
- 104 逆台形状の凹部
- 104A 導電層
- 105 PD（ホトダイオード）
- 106 光ファイバ
- 107 軸心
- 109A、109B ボンディングワイヤ（金線）
- 110 電極パッド
- 111 半田ボール

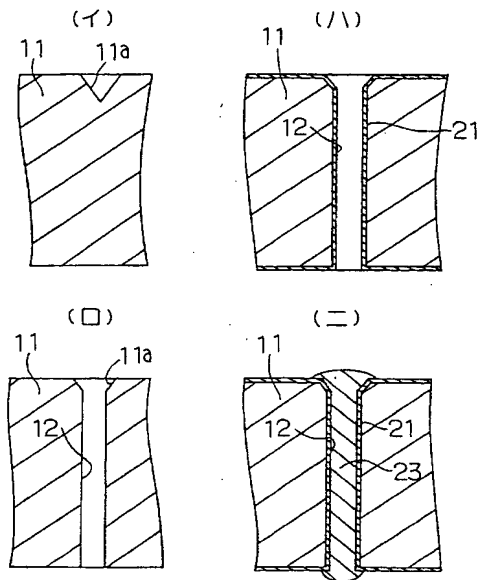
【図 7】



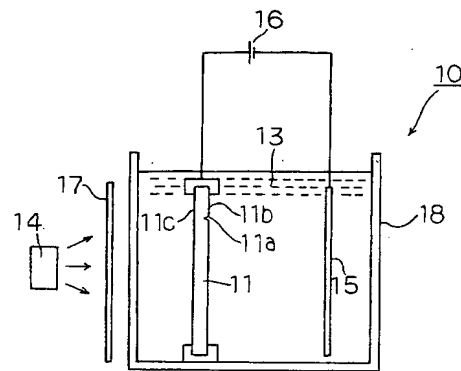
【図 8】



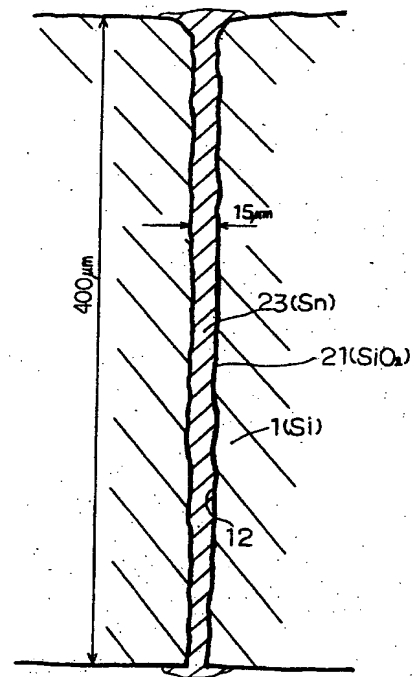
【図 1】



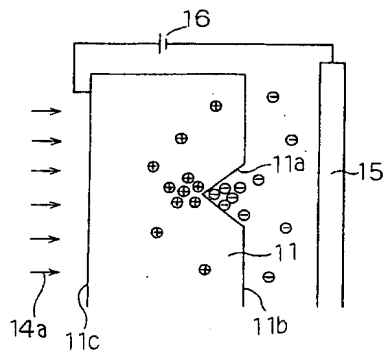
【図 2】



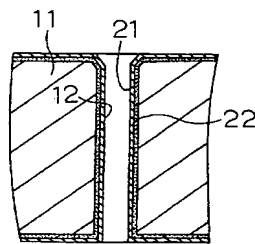
【図 6】



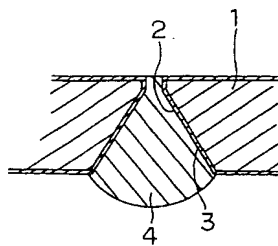
【図 3】



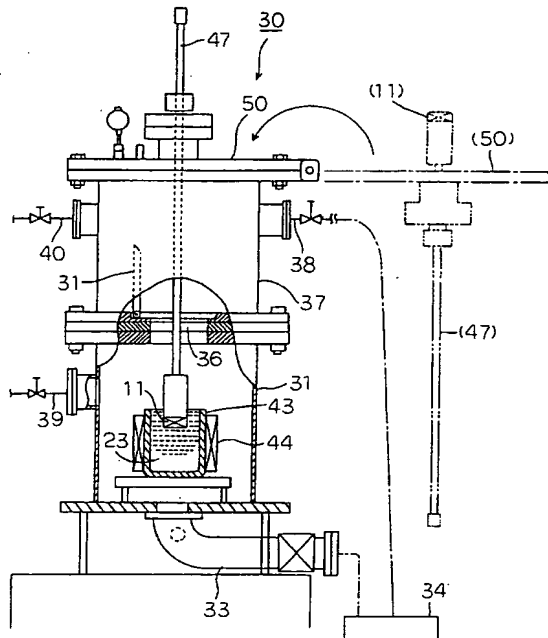
【図 4】



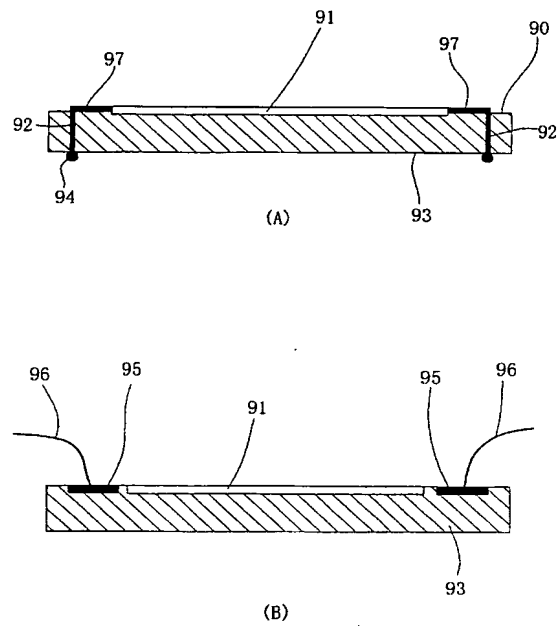
【図 11】



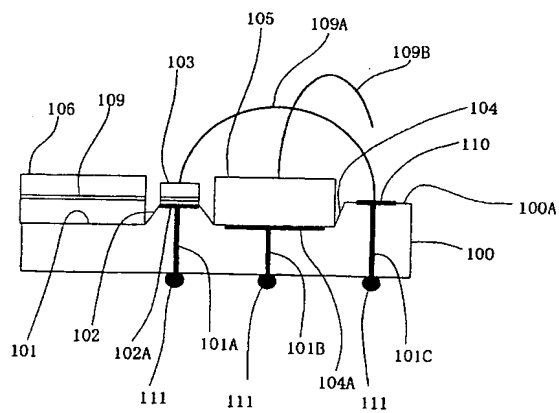
【図 5】



【図 9】



【図 10】



フロントページの続き

(72) 発明者 末益 龍夫
東京都江東区木場 1-5-1 株式会社フジクラ内

(72) 発明者 糸井 和久
東京都江東区木場 1-5-1 株式会社フジクラ内

F ターム(参考) 4M104 AA01 BB09 BB36 CC01 DD07
DD09 DD22 DD23 DD26 DD31
EE02 EE16 FF01 FF21 GG04
GG05 HH14
5F043 AA02 BB02 DD08 DD14 FF04
FF06 GG04
5F058 BC03 BE04 BE10 BF46 BF56
BF63 BJ10